(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平11－272609

(43)公開日　平成11年(1999)10月８日

(51)Int.Cl.[6]		識別記号	FI		
Ｇ０６Ｆ	13/42	３４０	Ｇ０６Ｆ	13/42	３４０Ａ
	13/38	３５０		13/38	３５０

審査請求　未請求　請求項の数26　ＯＬ　外国語出願　（全 51 頁）

(21)出願番号　特願平11－37257

(22)出願日　平成11年(1999)２月16日

(31)優先権主張番号　９８　０１８３１

(32)優先日　1998年２月16日

(33)優先権主張国　フランス（ＦＲ）

(71)出願人　599021125
マトラ　ノーテル　コミュニカショーン
ＭＡＴＲＡ　ＮＯＲＴＥＬ　ＣＯＭＭＵＮＩＣＡＴＩＯＮＳ
フランス国　29100　カンペール　リュ　デュ　プレジダン　サダト　50

(72)発明者　ジルベール　ニューアーン
フランス国　29180　ゲンガ　アレ　デ　コルヌアーユ　2

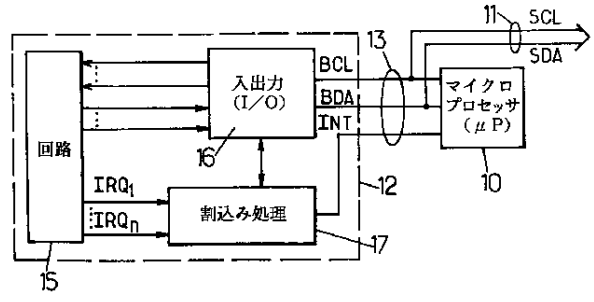
(74)代理人　弁理士　若林　忠　（外４名）

(54)【発明の名称】　シリアルデータ転送方法及びこの方法を実装した同期シリアルバスインタフェース

(57)【要約】

【課題】周辺装置中のあるデータにより速くアクセスすることができる新規の同期シリアルバスプロトコルを提案する。

【解決手段】主処理装置(10)と周辺装置(12)の間の同期シリアルバス(13)が、データ線(BDA)とクロック線(BCL)を含む。主処理装置(10)がクロック線を所与のロジックレベルに保持する間にその主処理装置によって供給されるストローブパルスが、バス(13)上での転送サイクルを特徴づける。このようにして主処理装置(10)は、周辺装置(12)のインタフェース(16)のレジスタ内で書込みサイクルまたは読出しサイクルを実行できる。サイクルの開始点においてアドレスを特定することなしにストローブパルスが伝送される直接転送モードが、予め特定されたある場所に対して主処理装置(10)が高速のアクセスを行えるようにするために備えられる。バス(13)のデータ線(BDA)とクロック線(BCL)は、別の同期バス(11)のデータ線及びクロック線と共用できる。



【特許請求の範囲】

【請求項１】　データ線（ＢＤＡ）とクロック線（ＢＣＬ）を含むバス（１３）によって互いに接続されている主処理装置（１０）と周辺装置（１２）との間でのシリアルデータ転送のための方法であって、

前記主処理装置が、アドレス指定を伴う転送サイクルと直接転送サイクルを含む同期転送サイクルを、前記クロック線によって制御し、

各サイクル中において、前記主処理装置が、前記クロック線が第１のロジックレベルにある間に前記データ線上でストローブパルスを伝送し、

アドレス指定を伴う転送サイクルにおいて前記ストローブパルスを伝送する前に、前記主処理装置が、前記クロック線上の対応する同期パルスとともに、転送アドレスのビット（Ａ０－Ａ３）を前記データ線上で伝送し、

アドレス指定を伴う転送サイクルにおいて前記ストローブパルスを受け取った後で、前記周辺装置が、前記転送アドレスから決定される記憶場所にアクセスして、前記クロック線上の対応する同期パルスと同期した形で、前記データ線上に連続的に現れるデータビット（Ｄ７－Ｄ０）の書込みまたは読出しを行い、

直接転送サイクルにおいて前記ストローブパルスを受け取った後で、前記周辺装置が、前記直接転送サイクルに先行して決定された記憶場所にアクセスし、前記クロック線上の対応する同期パルスと同期した形で、前記データ線上に連続的に現れるデータビット（ｄ１－ｄ０）の書込みまたは読出しを行う方法。

【請求項２】　直接転送サイクルにおいて、前記主処理装置（１０）が、前記サイクルの開始点において前記ストローブパルスを伝送する請求項１に記載の方法。

【請求項３】　アドレス指定を伴う転送サイクルにおいて前記ストローブパルスを伝送する前に、前記主処理装置（１０）が、前記アドレス指定を伴う転送サイクルが書込みサイクルである場合には第１の値を有し、前記アドレス指定を伴う転送サイクルが読出しサイクルである場合には第２の値を有するモード選択ビット（ＲＷ）を、前記データ線上で伝送する請求項２に記載の方法。

【請求項４】　前記クロック線（ＢＣＬ）によってタイミングがとられ、かつ、アドレス指定を伴う転送サイクルにおいて伝送される前記アドレスビット（Ａ３－Ａ０）と前記モード選択ビット（ＲＷ）とを収容するのに十分なサイズである、前記周辺装置（１２）のシフトレジスタ（20_0－20_m）の入力に、前記データ線（ＢＤＡ）が接続され、

前記アドレス指定を伴う読出しサイクルにおいて前記主処理装置（１０）によって伝送される前記転送アドレスに関して、少なくとも１つのアドレス値が除外され、

前記周辺装置が、ストローブパルスを検出した時に、前記シフトレジスタの内容を検査して、検出されたストローブパルスが、アドレス指定を伴う書込みサイクルの一部であるか、アドレス指定を伴う読出しサイクルの一部であるか、または、直接読出しサイクルの一部であるかを決定し、前記シフトレジスタが前記除外アドレス値と前記第２の値を有するモード選択ビットとを含む場合に、直接読出しサイクルが選択される請求項３に記載の方法。

【請求項５】　前記主処理装置（１０）が、転送サイクルを実行していない時には前記第１のロジックレベルに前記クロック線（ＢＣＬ)を保持し、

前記主処理装置と前記周辺装置（１２）が、前記第１のロジックレベルに対して補数である第２のロジックレベルに前記クロック線がある間に前記データビットと前記アドレスビットと前記モード選択ビットの間の遷移が生じるように、前記転送サイクルにおいて前記データビットと前記アドレスビットと前記モード選択ビットとを伝送する請求項４に記載の方法。

【請求項６】　ストローブパルスに起因するとみなされることが不可能であるロジックレベル変化を検出し、こうした検出に応答して前記シフトレジスタ（20_0－20_m）内に前記除外アドレス値と前記第２の値を有するモード選択ビットとを書き込むために、前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間に、前記周辺装置（１２）が前記データ線（ＢＤＡ）を検査する請求項５に記載の方法。

【請求項７】　前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間は前記データ線（ＢＤＡ）が２回以上はロジックレベルを変化させないプロトコルにしたがって、他の装置とデータ交換するために、前記クロック線（ＢＣＬ）と前記データ線（ＢＤＡ）とが前記主処理装置（１０）によって使用される請求項６に記載の方法。

【請求項８】　アドレス指定を伴う転送サイクルが書込みサイクルであるか読出しサイクルであるかを決定するために、前記アドレス指定を伴う転送サイクル内において前記周辺装置（１２）によって受け取られた前記転送アドレスのビット（Ａ３－Ａ０）をデコードする段階を含む請求項１または２に記載の方法。

【請求項９】　前記クロック線（ＢＣＬ）によってタイミングがとられ、かつ、アドレス指定を伴う転送サイクルにおいて伝送される前記アドレスビット（Ａ３－Ａ０）を格納するのに十分なサイズである、前記周辺装置（１２）のシフトレジスタ（20_1－20_m）の入力に、前記データ線（ＢＤＡ）が接続され、

前記アドレス指定を伴う転送サイクルにおいて前記主処理装置（１０）によって伝送される前記転送アドレスに関して、少なくとも１つのアドレス値が除外され、

前記周辺装置が、ストローブパルスを検出した時に、前記シフトレジスタの内容を検査して、検出されたストローブパルスが、アドレス指定を伴う転送サイクルの一部であるか、または、直接転送サイクルの一部であるかを

決定し、前記シフトレジスタが除外アドレス値を含む場合に、直接転送サイクルが選択される請求項８に記載の方法。

【請求項１０】　前記シフトレジスタの入力場所（20_1）に位置しているビットだけが互いに異なっている第１の除外アドレス値と第２の除外アドレス値を前記シフトレジスタ（20_1－20_m）が含む時にそれぞれ選択される直接書込みサイクルと直接読出しサイクルとを、前記直接転送サイクルが含む請求項９に記載の方法。

【請求項１１】　前記主処理装置（１０）が、転送サイクルを実行していない時に前記クロック線（ＢＣＬ）を前記第１のロジックレベルに保持し、

前記主処理装置と前記周辺装置（１２）が、前記第１のロジックレベルに対して補数である第２のロジックレベルに前記クロック線がある時に前記データビットと前記転送アドレスビットの間の遷移が生じるように、前記データビットと前記転送アドレスビットとを前記転送サイクルにおいて伝送する請求項１０に記載の方法。

【請求項１２】　ストローブパルスに起因するとみなされることが不可能であるロジックレベル変化を検出し、こうした検出に応答して前記第１の除外アドレス値と前記第２の除外アドレス値のどちらか一方に対応するデフォルトアドレス値を前記シフトレジスタ（20_1－20_m）内に書き込むために、前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間に、前記周辺装置（１２）が前記データ線（ＢＤＡ）を検査する請求項１１に記載の方法。

【請求項１３】　前記シフトレジスタ（20_1－20_m）が前記デフォルトアドレス値を含む時に選択されるタイプの直接転送サイクルにおいて、前記主処理装置（１０）が前記サイクルの開始点において前記ストローブパルスを伝送し、

前記シフトレジスタが前記デフォルトアドレス値に一致しない第１の除外アドレス値と第２の除外アドレス値のどちらか一方を含む時に選択されるタイプの直接転送サイクルにおいて、前記主処理装置（１０）が、前記シフトレジスタの入力場所（20_1）内に位置しているビットを変更するビットを前記サイクルの開始点において伝送した直後に、前記ストローブパルスを伝送する請求項１２に記載の方法。

【請求項１４】　前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間は前記データ線（ＢＤＡ）が２回以上ロジックレベルを変化させないプロトコルにしたがって、他の装置とデータ交換するために、前記クロック線（ＢＣＬ）と前記データ線（ＢＤＡ）が前記主処理装置（１０）によって使用される請求項１２または１３に記載の方法。

【請求項１５】　直接転送サイクルにおいて前記データビット（ｄ１－ｄ０）が読出されまたは書込まれる記憶場所が、固定した記憶場所である請求項１乃至１４のいずれか１項に記載の方法。

【請求項１６】　直接転送サイクルにおいて前記データビットが読出されまたは書込まれる記憶場所が、先行する書込みサイクル中に前記主処理装置（１０）によって伝送されるデータから決定される請求項１乃至１４のいずれか１項に記載の方法。

【請求項１７】　直接転送サイクル中に連続的に伝送されるデータビットの個数（ｐ）が、先行する書込みサイクル中に前記主処理装置（１０）によって伝送されるデータから決定される請求項１６に記載の方法。

【請求項１８】　前記バス（１３）が、特定されたイベントの群の中の１つのイベントを前記周辺装置（１２）が検出した時に前記周辺装置（１２）がそれを通して前記主処理装置（１０）に割込み要求を送る割込み線（ＩＮＴ）をさらに含み、前記周辺装置が、既に検出された前記群のイベントをそれぞれ示すビットを含むステータスレジスタを含み、

前記主処理装置が、前記割込み線上で割込み要求を受け取る時に、

前記ステータスレジスタの特定の部分を読み取るために直接読出しサイクルと、

前記ステータスレジスタの前記部分内に含まれるビットがイベント検出を示さない場合に、前記ステータスレジスタの残り部分を読出すために、少なくとも１つのアドレス指定を伴う読出しサイクルと、からなる転送サイクルを制御する請求項１乃至１７のいずれか１項に記載の方法。

【請求項１９】　データ線（ＢＤＡ）とクロック線（ＢＣＬ）を含むバス（１３）により主処理装置（１０）によって制御される周辺装置（１２）のための同期シリアルバスインタフェースであって、

前記バスの前記クロック線が第１のロジックレベルにある間に前記バスの前記データ線上で生じるストローブパルスを検出するための、ストローブパルス検出手段（２４）と、

前記データ線に接続されたシリアルデータ入力を有し、前記バスの前記クロック線によってタイミングがとられる第１のシフトレジスタ（20_0－20_m；20_1－20_m）と、

前記第１のシフトレジスタの前記シリアルデータ出力または前記データ線に接続されているシリアルデータ入力を有し、かつ、前記バスの前記クロック線に接続されている入力とバイナリ選択信号（ＣＤ）を受ける別の入力とを有する排他的ＯＲゲートの出力によってタイミングがとられる、第２のシフトレジスタ（20_{m+1}－20_{m+n}）と、

一方では前記第２のシフトレジスタの前記シリアルデータ出力に接続されており、他方では前記バスの前記データ線に接続されている、出力スイッチ（４０）と、

検出されたストローブパルスが属している各々の転送サ

イクルを識別するように、ストローブパルスが検出される時に前記第１のシフトレジスタの内容を分析するための転送サイクル識別手段（２８，２９，３３；５０）と、
書込みレジスタであって、前記バイナリ選択信号が「０」に保持され、前記出力スイッチが開位置に維持され、かつ、前記ストローブパルスの検出後に前記書込みアドレスによって示される前記書込みレジスタに前記第２のシフトレジスタの内容をパラレル転送する、アドレス指定を伴う書込みサイクルの識別が完了した時に、前記第１のシフトレジスタから得られる書込みアドレスからアドレス指定が可能な書込みレジスタ（１８）と、
読出しレジスタであって、前記ストローブパルスの検出後に、前記読出しアドレスによって示される前記読出しレジスタの内容の少なくとも一部分を前記第２のシフトレジスタにパラレル転送することと、前記出力スイッチに前記第２のシフトレジスタの内容をシリアル転送することとが続き、そのシリアル転送中は前記バイナリ選択信号が「１」に設定されかつ前記出力スイッチが閉じられている、読出しサイクルの識別が完了した時に、読出しアドレスからアドレス指定が可能な読出しレジスタ（１９）と、
アドレス指定を伴う読出しサイクルの識別が完了した時に前記第１のシフトレジスタから読出しアドレスを得るとともに、直接読出しサイクルの識別が完了した時に予め特定されている読出しアドレス（ａ）を供給するための転送サイクル管理手段（３０）と、を含む同期シリアルバスインタフェース。
【請求項２１】　直接読出しサイクル中に前記読出しサイクル管理手段（３０）によって供給される前記読出しアドレス（ａ）が、固定アドレスである、請求項２０に記載の同期シリアルバスインタフェース。
【請求項２２】　直接読出しサイクル中に前記読出しサイクル管理手段（３０）によって供給される前記読出しアドレス（ａ）が、前記書込みレジスタの１つの内容から得られる、請求項２０に記載の同期シリアルバスインタフェース。
【請求項２３】　直接読出しサイクル中に前記出力スイッチ（４０）に転送されるビットの個数（ｐ）が、前記書込みレジスタの１つの内容から得られる請求項２２に記載の同期シリアルバスインタフェース。
【請求項２４】　少なくとも１つのアドレス値が、前記アドレス指定を伴う読出しサイクルにおいて除外され、前記転送サイクル識別手段（２８，２９，３３）が、前記第１のシフトレジスタが前記除外アドレスを含む場合に直接読出しサイクルを識別するように、ストローブパルスの検出が完了した時に前記第１のシフトレジスタ（２０_{0}－２０_{m}）の内容を検査する、請求項２０乃至２３のいずれか１項に記載の同期シリアルバスインタフェース。
【請求項２５】　前記主処理装置（１０）による転送の同期化が、前記第１のロジックレベルに対して補数である第２のロジックレベルに前記クロック線（ＢＣＬ）がある間に伝送ビットの相互間の遷移が生じ、かつ、転送サイクルが実行されない時に前記第１のロジックレベルに前記クロック線が維持されるような同期化であり、
前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間に前記データ線（ＢＤＡ）上で生じる、ストローブパルスに起因するとみなされることが不可能であるロジックレベルの変化に応答して、前記第１のシフトレジスタ（２０_{0}－２０_{m}）内に前記除外アドレス値を書き込むためのフィルタリング手段（２７，３０）が備えられている請求項２４に記載の同期シリアルバスインタフェース。
【請求項２６】　各書込みサイクルの終了点で前記第１のシフトレジスタ（２０_{0}－２０_{m}）内に前記除外アドレス値を書き込むために、前記フィルタリング手段（３１）がさらに配置されている請求項２５に記載の同期シリアルバスインタフェース。
【請求項２７】　前記バイナリ選択信号が「０」に保持され、前記出力スイッチが開状態に維持され、かつ、前記ストローブパルスの検出の後に前記書込みアドレスによって示される前記書込みレジスタの中に前記第２のシフトレジスタの内容がパラレル転送される直接書込みサイクルの識別が完了した時に、予め特定されている書込みアドレス（ａ）から前記書込みレジスタ（１８）がさらにアドレス指定可能である、請求項２０乃至２６のいずれか１項に記載の同期シリアルバスインタフェース。
【発明の詳細な説明】
【０００１】
【発明の属する技術】本発明は、直列デジタルデータ伝送の分野に関する。本発明は、特に、主処理装置（マスタ）と周辺装置（スレーブ）との間の同期バスと、そのマスタ／スレーブ伝送プロトコルとに関する。
【０００２】
【従来の技術】様々なカテゴリの機器で使用されているこのようなバスの一例は、欧州特許第００５１３３２号に開示されているいわゆる「$I^{2}C$」バスである。ある数のクロックサイクルが、１バイトのデータを検索するために主処理装置を構成するマイクロプロセッサまたはマイクロコントローラのために必要とされる（こうしたバスを使用する、フィリップス(PHILIPS)社によって市販されている参照番号ＰＣＤ　３３１６の回路の場合には、５８クロックサイクル）。
【０００３】
【発明が解決しようとする課題】本発明の目的は、周辺装置内のあるデータに対するより高速のアクセスを可能にする新規の同期シリアルバスプロトコルを提案することである。
【０００４】

【課題を解決するための手段】したがって本発明は、データ線とクロック線を含むバスによって互いに接続されている主処理装置と周辺装置との間でのシリアルデータ転送のための方法であって、主処理装置が、アドレス指定を伴う転送サイクルと直接転送サイクルを含む同期転送サイクルを、クロック線によって制御し、各サイクル中において、主処理装置が、クロック線が第１のロジックレベルにある間にデータ線上でストローブパルスを伝送し、アドレス指定を伴う転送サイクルにおいてストローブパルスを伝送する前に、主処理装置が、クロック線上の対応する同期パルスとともに、転送アドレスのビットをデータ線上で伝送し、アドレス指定を伴う転送サイクルにおいてストローブパルスを受け取った後で、周辺装置が、転送アドレスから決定される記憶場所にアクセスして、クロック線上の対応する同期パルスと同期した形で、データ線上に連続的に現れるデータビットの書込みまたは読出しを行い、直接転送サイクルにおいてストローブパルスを受け取った後で、周辺装置が、直接転送サイクルに先行して決定された記憶場所にアクセスし、クロック線上の対応する同期パルスと同期した形で、データ線上に連続的に現れるデータビットの書込みまたは読出しを行う方法、を提案する。

【０００５】この転送プロトコルは非常に単純であり、したがって高速のアクセスを可能にする。この転送プロトコルは、周辺装置によるデータ線上のストローブ(strobe)パルスの検出に基づいている。主処理装置は、サイクル中のストローブパルスの位置によって、および／または、ストローブパルスの前にデータ線上で出力される選択ビットを用いることによって、および／または、アドレスビットをデコードすることによって、異なる転送モードを識別する。

【０００６】直接転送モードにおいては主処理装置がアドレスビットを与えず、しかも所望のデータが予め選択されているので、この直接転送モードによって、周辺装置内の複数の記憶場所（ストレージロケーション）に対する非常に高速なアクセスが可能にされる。

【０００７】直接転送モードにおいて伝送データビットが得られる記憶場所が、予め決められた固定された記憶場所であることが可能であり、このことが、周辺装置のバスインタフェースの構造が最大限に単純化されることを可能にし、したがって、そのバスインタフェースのコストが最小化されることを可能にする。

【０００８】記憶場所が、先行する書込み（ライト）サイクル中に主処理装置によって供給されるデータからそのアドレスが得られる場所であることも可能である。この場合、周辺装置において様々なタイプのデータを読み取るために、直接読出し（ダイレクトリード）サイクルが、主処理装置によって実行されることが可能である。こうして読み取られるビットの数も、先行する書込みサイクル中に主処理装置によって設定されるパラメータであることができる。

【０００９】特に、直接読出しモードは、主処理装置による何らかの割込みの高速な処理に使用されることができる。

【００１０】提案されているバスの別の利点は、このバスが、主処理装置と他のエンティティとの間でのデータ交換のための別のプロトコルにしたがって動作するバスとともにそのデータ線およびクロック線を共有することが可能であるということである。

【００１１】本発明の別の側面では、本発明は、データ線とクロック線を含むバスにより主処理装置によって制御される周辺装置のための同期シリアルバスインタフェースであって、バスのクロック線が第１のロジックレベルにある間にバスのデータ線上で生じるストローブパルスを検出するための、ストローブパルス検出手段と、データ線に接続されたシリアルデータ入力を有し、バスのクロック線によってタイミングがとられる第１のシフトレジスタと、第１のシフトレジスタのシリアルデータ出力またはデータ線に接続されているシリアルデータ入力を有し、かつ、バスのクロック線に接続されている入力とバイナリ選択信号を受ける別の入力とを有する排他的ＯＲゲートの出力によってタイミングがとられる、第２のシフトレジスタと、一方では第２のシフトレジスタのシリアルデータ出力に接続されており、他方ではバスのデータ線に接続されている、出力スイッチと、検出されたストローブパルスが属している各々の転送サイクルを識別するように、ストローブパルスが検出される時に第１のシフトレジスタの内容を分析するための転送サイクル識別手段と、書込みレジスタであって、バイナリ選択信号がに保持され、出力スイッチが開位置に維持され、かつ、ストローブパルスの検出後に書込みアドレスによって示されるその書込みレジスタに第２のシフトレジスタの内容をパラレル転送する、アドレス指定を伴う書込みサイクルの識別が完了した時に、第１のシフトレジスタから得られる書込みアドレスからアドレス指定が可能な書込みレジスタと、読出しレジスタであって、ストローブパルスの検出後に、読出しアドレスによって示されるその読出しレジスタの内容の少なくとも一部分を第２のシフトレジスタにパラレル転送することと、出力スイッチに第２のシフトレジスタの内容をシリアル転送することとが続き、そのシリアル転送中はバイナリ選択信号が「１」に設定されかつ出力スイッチが閉じられている、読出しサイクルの識別が完了した時に、読出しアドレスからアドレス指定が可能な読出しレジスタと、アドレス指定を伴う読出しサイクルの識別が完了した時に第１のシフトレジスタから読出しアドレスを得るとともに、直接読出しサイクルの識別が完了した時に予め特定されている読出しアドレスを供給するための転送サイクル管理手段と、を含む同期シリアルバスインタフェース、を提案する。

【００１２】本発明の他の特徴と利点とが、添付図面を参照する形で行われる下記の非限定的な実施の形態の説明において、明らかになるだろう。

【００１３】

【発明の実施の形態】図１は、マイクロプロセッサ１０によって構成されている主処理装置によってその全般的動作が制御されるシステム機器を概略的に示す。マイクロプロセッサ１０は、例えばデータ線ＳＤＡとクロック線ＳＣＬとを含むＩ^{2}Ｃバス（ＥＰ－Ｂ－００５１３３２参照）によって例示されるような公知のタイプのシリアルバス１１によって、システム機器のある数の装置（不図示）を制御する。

【００１４】別の周辺装置１２が、マイクロプロセッサ１０によって、本発明にしたがって動作するシリアルバス１３を通して制御される。

【００１５】本発明の適用例として、システム機器は、キーボード、表示スクリーンおよび様々なインタフェースのような装置をマイクロプロセッサ１０がＩ^{2}Ｃバス１１によって制御する、電話であってもよい。装置１２は、電話回線の監視と、ネットワークオペレータによって提供される洗練されたサービスに関連した特定のデータの処理とのためにだけ専用に使用される構成要素である。

【００１６】この種の用途では、構成要素のコストは可能な限り低くなければならず、特に、マイクロプロセッサ内の入力／出力ピンの個数を可能な限り減少させることができることが望ましい。このために、装置１０と装置１２との間の交換媒体として働くバス１３が、図１にＢＤＡおよびＢＣＬとしても示されている汎用バス１１のデータ線とクロック線とを借用する。後述のプロトコルは、これらの線上における曖昧性を防止する。

【００１７】これに加えて、バス１３は、割込み要求を送ることによって周辺装置１２がマイクロプロセッサ１０に対して特定のイベントを示すことを可能にする、割込み線ＩＮＴを有する。

【００１８】周辺装置１２の動作回路１５とバス１３との間に備えられているバスインタフェースは、入力／出力モジュール１６と割込み処理モジュール１７とを含む。モジュール１７は、ｎ個のイベントから構成されるイベント群に関連した個々の割込み信号IRQ_1－IRQ_nを回路１５から受け取る。イベントの検出がＩＮＴ線上での割込み要求の送出をトリガする。モジュール１７は、モジュール１６のステータス（状態）レジスタ内への、信号IRQ_1－IRQ_nの状態に対応するｎビットの格納を制御する。ＩＮＴ線上で受信される割込み要求に応答して、マイクロプロセッサ１０は、その割込みの発生源を発見するために、また、どの割込みプログラムが実行されるべきであるかを決定するために、状態レジスタを読出す。

【００１９】電話に対する応用例では、割込み信号IRQ_1－IRQ_nに関連付けられているイベント群は、例えば、電話回線上の鳴動（リンギング）の検出や回線電圧の存在の検出、特定のサービスに関連して電話回線上でネットワークによって伝送される様々な信号の検出を含む。

【００２０】図２から図４において最初の２つ線は、周辺装置１２からのデータ転送または周辺装置１２に対するデータ転送をトリガするために、どのようにマイクロプロセッサ１０がバス１３の線ＢＣＬ，ＢＤＡとを制御するかを示している。各々の場合に、バス１３の使用が、クロック線ＢＣＬは所与のロジックレベルにある間に転送サイクルにおいてデータ線ＢＤＡに表われるストローブパルスによって知らされる。上記の例では、このロジックレベルはレベル「１」であり、ストローブパルスはロジックレベル「０」であり、すなわち、ストローブパルスは立ち下がりエッジで始まって立上りエッジで終わり、かつ、ＢＣＬ＝１である間にこれら２つのエッジが発生する。

【００２１】アドレス指定（アドレッシング）を伴う書込み（リード）サイクル（図２）においては、クロック線ＢＣＬ上の、各々のパルスが立上りエッジで始まり立ち下がりエッジで終わるｎ＋ｍ＋１個（ここで示す例ではｎ＝８かつｍ＝４である）の規則的な同期パルスによって、ストローブパルスは先行されている。データ線ＢＣＬ上でのロジックレベルの変化は、これらｎ＋ｍ＋１個の同期パルス中は許可されず（ＢＣＬ＝１）、これらのパルスの合間においてだけ許可される（ＢＣＬ＝０）。書込みサイクル中に伝送される最初のｎ＝８個のビットは、マイクロプロセッサ１０によって桁Ｄ７－Ｄ０の降順に伝送される、書き込まれるべきバイトを形成するデータビットである。後続のｍ＝４個のビットＡ３－Ａ０は、先行バイトを記憶するための書込みアドレスである。ストローブパルスの直前に位置する最後のビットＲＷは、その値ＲＷ＝０によって、現在のサイクルが書込みサイクルであることを示す。

【００２２】アドレス指定を伴う読出し（リード）サイクル（図３）では、クロック線ＢＣＬ上においてｍ＋１個の同期パルスがストローブパルスに先行し、ｍ＋１個のビットがマイクロプロセッサによってデータ線ＢＤＡ上を上述のように伝送される。これらのビットの最初のｍ＝４個が、マイクロプロセッサによって要求されるデータに関する読出しアドレスＡ３－Ａ０を形成する。ストローブパルスの直前に位置する最後のビットＲＷは、その値ＲＷ＝１によって、現在のサイクルがアドレス指定を伴う読出しサイクルであることを示す。

【００２３】アドレス指定を伴う読出しサイクルにおいては、ストローブパルスの後に、マイクロプロセッサ１０が線ＢＣＬ上でｎ＝８個の同期パルスを伝送し、周辺装置１２のモジュール１６が、読出しバイトのｎ＝８個のビットを線ＢＤＡ上で桁Ｄ７－Ｄ０の降順で連続的に

送出することによって、その同期パルスに対して応答する。上述のように、これらｎ個のデータビットの伝送は、これらのビットの間の遷移が、クロック線が状態ＢＣＬ＝０である時に生じるように、行われる。

【００２４】直接読出し（ダイレクトリード）サイクル（図４）では、そのサイクルの開始点において、ストローブパルスがマイクロプロセッサによって伝送される。このストローブパルスの後で、プロセッサ１０が、ｐ個の同期パルスをクロック線ＢＣＬ上に供給し、周辺装置１２は、上述と同じ（ＢＣＬ＝０である間にビット間の遷移が生じる）ように線ＢＤＡ上でｐ個のデータビットｄ１－ｄ０を伝送することによって、それらの同期パルスに応答する。

【００２５】図４の例では、ｐ＝２である特定の事例が示されている。例えば、ｐ＝２個のビットｄ１－ｄ０が、上記入力／出力モジュールのレジスタ１６内の予め決められた固定したアドレスから読み取られる。

【００２６】電話に対する応用例では、直接読出しサイクルで読出されるｐ＝２個のビットは、それぞれ、電話回線上の鳴動の検出とライン電圧の存在とを示すステータスレジスタの２個のビットであってもよい。これらの２個のビットは、マイクロプロセッサ１０が適切な応答を行うために非常な緊急性を必要とするかもしれないデータに相当する。したがって、マイクロプロセッサ１０がＩＮＴ線上で割込み要求を受け取る時には、マイクロプロセッサ１０は、これら２個のビットの値を発見し、これらのビットが割込みの発生源を実際に示す場合には最短時間で適切な応答を行うように、非常に高速のランタイムで直接読出しサイクルをトリガすることが可能である。これとは反対の場合には、マイクロプロセッサ１０は、その他のステータス（状態）ビットを発見して割込みの発生源を識別するように、ステータスレジスタ内のアドレス指定を伴う読出しサイクルをトリガすることが可能である。

【００２７】数値の例としては（図２を参照）、クロック周波数が５００ｋＨｚであり、クロック線上のパルス（ＢＣＬ＝１）の長さがＴ１＝１μｓであり、これらのパルスが長さＴ２＝１μｓ（ＢＣＬ＝０）によって間隔を置かれ、ロジックレベル「０」のストローブパルスが長さＴ３＝１μｓを有し、その間はＢＣＬ＝ＢＤＬ＝１である待機（スタンバイ）時間Ｔ４＝０．５μｓがストローブパルスの前と後に位置することが可能である。その場合には、アドレス指定を伴う読出しまたは書込みサイクルの長さが約１５μｓであり、ｐ＝２である直接読出しサイクルの長さが約４μｓである。バスがＩ²Ｃプロトコルの制約を受けない場合には、アクセスはさらに高速とすることができ、その場合にはクロック周波数はより高い値であることができる。

【００２８】マイクロプロセッサ１０がバス１１／１３上で転送サイクルを実行していない時には、マイクロプロセッサ１０がクロック線ＳＤＡ／ＢＤＡをロジックレベル「１」に保つ。

【００２９】Ｉ²Ｃバスプロトコル１１の場合には、クロック線ＳＣＬがロジックレベル「１」にある間のデータ線ＳＤＡ上の立ち下がりエッジが、転送サイクル開始を特徴づけ、一方、ＢＣＬ＝１である間のデータ線ＳＤＡ上の立上りエッジｆが、転送完了を特徴づける（図４）。その結果として、このＩ²Ｃプロトコルにしたがって、データ線は、クロック線がレベル「１」にある間は２回以上はロジックレベルを変更しない。したがって、図２から図４によって示されている本発明にしたがって提案される転送プロトコルは、機器の他の装置を制御するためにマイクロプロセッサ１０によって使用されるＩ²Ｃバスプロトコルに関する曖昧性を生じさせず、

－　ＳＤＡ／ＢＤＡ，ＳＣＬ／ＢＣＬ線の制御が、上記２つのバスの共存を確実なものとするマイクロプロセッサ１０に帰属し、

－　図２から図４のいずれか１つに示されているようにマイクロプロセッサがバス１３を制御する時には、何も発生しないはずであるＩ²Ｃサイクルの開始と終了をストローブパルスが生じさせるので、Ｉ²Ｃ転送サイクルがバス１１上では実行されず、かつそのストローブパルスの外側においてＢＣＬ＝１である間のデータ線ＢＤＡの安定性が、Ｉ²Ｃサイクルの開始を生じさせることが不可能であり、

－　Ｉ²Ｃプロトコルによる転送サイクルの実行中には、ストローブパルスが周辺装置１２によって受信されず、その結果として、バス１３上でのタイミングのずれた転送が回避される、ということが理解できる。

【００３０】例えば、周辺装置１２の入力／出力モジュール１６の構造は、図５の図にしたがったものである。この図では、参照番号１８が、図２に示されているようなサイクルの形でマイクロプロセッサ１０が書込みを制御することが可能であるＭ≦２ⁿ個のｎビットレジスタのグループを示しており、こうした書込みが生じるこのグループ１８のレジスタは、書込みアドレスＡ３－Ａ０によって選択される。参照番号１９が、図３に示されているようなアドレス指定を伴う読出しサイクルの形でマイクロプロセッサ１０がデータ読出しを制御することが可能であるＭ′≦２ⁿ個のｎビットレジスタのグループを示しており、こうした読出しが生じるこのグループ１９のレジスタは、読出しアドレスＡ３－Ａ０によって選択される。これらの読出しレジスタ１９は、割込みの管理のために使用されるステータスレジスタを含む。

【００３１】モジュール１６は、クロック線ＢＣＬ上に存在する信号の立上りエッジによってタイミングがとられるｍ＋１個のカスケード接続されたＤフリップフロップ２０_{0}－２０_{m}からなるシフトレジスタを含む。このシフトレジスタのデータ入力、すなわち初段のフリップフロップ２０_{0}のＤ入力が、データ線ＢＤＡに接続されて

いる。モジュール１６は、排他的ＯＲ（排他的論理和：ＥｘＯＲ）ゲート２１によって供給される信号ＣＣの立上りエッジによってタイミングがとられるｎ個のカスケード接続されたＤフリップフロップ２０_{m+1}－２０_{m+n}からなる第２のシフトレジスタを含む。１≦ｉ≦ｍ＋ｎであるｉに対して、フリップロップ２０_{i}のＤ入力が、フリップフロップ２０_{i-1}のＱ出力に接続されている。ゲート２１は、クロック線ＢＣＬに接続された入力を有する。ゲート２１の他の入力は、バイナリ選択信号ＣＤを受け取る。

【００３２】書込みまたはアドレス指定を伴う読出しサイクル中に周辺装置１２によってストローブパルスが受信されるときには、モード選択ビットＲＷがフリップロップ２０_{0}のＱ出力に現れ、ｍ個のアドレスビットＡ３－Ａ０が、フリップフロップ２０_{1}－２０_{n}のＱ出力に現れる。

【００３３】ｍビットの補助レジスタは、ｍ個のＤフリップフロップ２２_{1}－２２_{m}からなる。１≦ｉ≦ｍであるｉに対して、フリップロップ２２_{i}のＤ入力が、フリップフロップ２０_{i}のＱ出力に接続されている。フリップフロップ２２_{1}－２２_{m}のＱ出力は、書込みレジスタ１８のグループと読出しレジスタ１９のグループとに送られるｍ個のアドレスビットを供給する。書込みサイクルまたはアドレス指定を伴う読出しサイクル中にストローブパルスが検出された直後に、この補助レジスタ２２_{1}－２２_{m}がアドレスＡ３－Ａ０を受け取るように、Ｄフリップフロップ２２_{1}－２２_{m}が、ストローブ検出器２４によって供給されるＨＯＬＤ（ホールド）信号の立上りエッジによってタイミングがとられる。

【００３４】この検出器２４（図６）は、クロック線ＢＣＬ上で生じる各々の立ち下がりエッジにおいてロジックレベル「０」にそのＱ出力がリセットされる２つのＤフリップフロップ２５，２６を含む。線ＢＣＬは、データ線ＢＤＡ上で生じる立ち下がりエッジによってタイミングがとられるフリップフロップ２５のＤ入力に接続されており、そのＱ出力は上述したＨＯＬＤ信号を送出する。このＨＯＬＤ信号は、一方では、データ線ＢＤＡ上で生じる立上りエッジによってタイミングがとられるフリップフロップ２６のＤ入力に向けられ、このフリップフロップ２６のＱ出力が検出信号ＳＴＲＩを送出する。このＳＴＲＩ信号は、各ストローブパルスの終了点で開始しＢＣＬ線が「０」に戻る時に終了する、ロジックレベル「１」のパルスを有する。

【００３５】ＡＮＤ（論理積）ゲート２８は、フリップフロップ２０_{0}のＱ出力上で得られるＲＷビットの論理補数とＳＴＲＩ信号を組み合わせて、書込みレジスタ１８のグループに出力される書込み制御信号ＷＲを生じさせる。この信号ＷＲ（図２）は、フリップフロップ２２_{m+1}－２２_{m+n}のＱ出力上で得られるｍ個のアドレスビットＡ３－Ａ０によってその記憶場所が示されるグループ１８のレジスタ内のフリップフロップ２０_{m+1}－２０_{m+n}のＱ出力上に存在する、ｎ個のビットＤ７－Ｄ０のパラレル転送を制御する。

【００３６】別のＡＮＤゲート２９は、信号ＳＴＲＩとフリップフロップ２０_{0}のＱ出力上で得られる選択ビットＲＷとを受け取り、読出しサイクル中で類似の挙動を示す信号ＲＲを生じさせる（図３および図４）。

【００３７】アドレス指定を伴う読出しサイクルを直接読出しサイクルから区別するために、アドレス指定を伴う読出しサイクルに関してマイクロプロセッサ１０によって除外されるべき読出しアドレスの１つの値が用意される。例えば、この値は、アドレスビット全てがその場合に「１」である値である。

【００３８】第１のシフトレジスタ２０_{0}－２０_{m}のフリップフロップの各々は、選択先読み（プリセレクション；pre-selection）信号ＣＰの各々の立ち下がりエッジにおいてそのＱ出力を強制的に論理レベル「１」にする働きをする、選択先読み入力Ｐを有する。この信号ＣＰは、読出しサイクル管理手段３０に属するＡＮＤゲート３１によって形成されるフィルタによって供給される。ＡＮＤゲート３１は次の信号を組み合わせる。

【００３９】－　装置１２に対する汎用リセット信号ＲＥＳ、

－　書込みサイクル（図２）の終了点で生じるその立上りエッジが、第１のシフトレジスタのフリップフロップ２０_{1}－２０_{m}内での除外アドレスの書込みと、フリップフロップ２０_{0}内でのＲＷ＝１の書込みとを引き起こす、書込み制御信号ＷＲの論理補数、

－　直接読出しサイクルまたはアドレス指定を伴う読出しサイクルの各々の終了点において、レジスタ２０_{0}－２０_{m}内にＲＷ＝１と除外アドレスとを書き込むための、各読出しサイクル（図３および図４）の終了点において論理レベル「０」のパルスを有する読出しサイクル信号ＥＯＲＣの終了点、および、

－　ＢＣＬ＝１である間に生じるデータ線ＢＤＡ上のロジックレベル変化の場所を示すが、ストローブパルスに起因するとみなすことができない偽ストローブ検出信号Ｆ。

【００４０】信号Ｆは、$I^{2}C$プロトコルにしたがってマイクロプロセッサ１０によって制御される転送サイクルの終了点において、レジスタ２０_{0}－２０_{m}内でのＲＷ＝１と除外アドレス値との書込みを強制する働きをする。この信号Ｆは、図４の左側部分に示されているように、各々の$I^{2}C$転送サイクルの終了点において立ち下がりエッジを有する。この信号Ｆは、例えば、ストローブ検出器２４（図６）のＤフリップフロップ２７の反転出力

【００４１】

【外１】

$\overline{Q}$

によって供給される。このフリップフロップ２７は、クロック線ＢＣＬ上で生じる各々の立ち下がりエッジにおいて「０」にリセットされる。線ＢＣＬは、データ線ＢＤＡ上で生じる立上りエッジによってタイミングがとられるフリップフロップ２７のＤ入力に接続されている。

【００４２】マイクロプロセッサ１０が各々の時点で直接読出しサイクルの実行を決定することが可能であるように、選択先読み信号ＣＰの整形（シェーピング）が行われる。

【００４３】現在の転送サイクルの種類を識別するために、ＡＮＤゲート２８，２９が、補助レジスタ22_1－22_mのフリップフロップのＱ出力に接続されている検出論理回路３３によって完結する。除外アドレス値が「１１．．．１」である時にｍ個の入力を有するＡＮＤゲートから単純に構成されるこの検出論理回路３３は、除外アドレスが検出される時には「１」であり、それが検出されない時には「０」である選択ビットＦＲＭを送出する。

【００４４】読出しサイクル管理手段３０は、さらに、ＦＲＭビットによって制御されるアドレススイッチ３４とタイミングモジュール３５とアドレス管理モジュール３６とを含む。モジュール３５は、レジスタ１９のグループに供給される読出し制御信号ＲＤを送出する。この信号ＲＤは、ＡＤＮゲート２９によって送出される信号ＲＲからのパルスに応答して生成され、図３と図４が示す通りに、クロックサイクルＢＣＬ中に延長されるそのパルスに対応する。

【００４５】３状態ゲート４０が、第２のシフトレジスタの最後のフリップフロップ20_{m+n}のＱ出力にその入力が接続されておりかつデータ線ＢＤＡにその出力が接続されている、入力／出力モジュール１６の出力スイッチを形成する。この３状態ゲート４０は、ＣＤ＝０である時にオフ（開）状態でありＣＤ＝１である時にオン（閉）状態であるように、排他的ＯＲゲート２１に供給されるバイナリ選択信号ＣＤによって制御されることが可能である。

【００４６】信号ＣＤはタイミングモジュール３５によって送出される。信号ＣＤは、バス１３上での転送サイクルの外側と書込みサイクル中とにおいては、レベル「０」のままである。読出しサイクル（図３と図４）中は、ストローブパルスが検出されるまで、信号ＣＤはレベル「０」のままである。モジュール３５は、ゲート２９の出力ＲＲ上の立上りエッジを検出する時に、信号ＣＤの立上りエッジを発生させ、その後では、クロック線ＢＣＬ上の後続の同期パルスの終了点まで、信号ＣＤが「１」に保持される。したがって、モジュール３５は、ＦＲＭ＝０である時は線ＢＣＬ上でｎ個の同期パルスを受け取り終わるまで、ＦＲＭ＝１である時はｐ個の同期パルスを受け取り終わるまで、信号ＣＤを「１」に保つ。信号ＣＤが「０」に戻る時には（図３および図４）、サイクル信号ＥＯＲＣの終了点のレベル「０」のパルスが発生させられる。

【００４７】ＦＲＭ＝０である時には、スイッチ３４が図５に示されている位置にあり、その結果として、ＲＤ信号のパルスが、補助レジスタ22_1－22_m内に含まれるアドレスにおける、グループ１９内のバイトの読出しを引き起こす。グループ１９内で読み取られたバイトのビットが供給される循環シフトモジュール３８は、ＦＲＭ＝０である時に非活性化させられ、このことは、シフトレジスタ20_{m+1}－20_{m+n}へのこれらのビットのパラレル転送を可能にする。最初に、そのバイト中の最上位ビットがゲート４０を経由してデータ線ＢＤＡ上に供給され、一方、そのバイトのその他のビットは、第２のシフトレジスタのフリップフロップ20_{m+2}－20_{m+n}内にロードされる。その他のビットは、その後で、クロックＢＣＬの後続する同期パルスに応答して、データ線ＢＤＡ上でシリアルに送出される。排他的ＯＲゲート２１によるこのクロックの反転が、ＢＣＬ＝１である時間期間内においてデータ安定性が確保されることを可能にする。

【００４８】直接読出しサイクルでは、スイッチ３４が、アドレス管理モジュール３６から読出しアドレスａを得るための位置にされる。このアドレスａが固定されている時には、モジュール３６は、スイッチ３４に定数ａを供給する接続に変更される。直接読出しサイクル中に読み取られるｐ個のビットが常にグループ１９のレジスタの中の１つのレジスタの最上位のｐ個のビットである場合には、シフトモジュール３８は不要である。そうでない場合には、データ線ＢＤＡに対して所要ビットを送出するために、δビットの所要シフトを生じさせるように、シフトモジュール３８がＦＲＭ＝１によって活性化される。

【００４９】直接読出しサイクル中に転送されるべきビットの個数として、グループ１９のレジスタのサイズｎよりも大きい数ｐを選択することが可能である。この場合には、タイミングモジュール３５がｎ個の同期パルスごとに読出し制御信号ＲＤを再活性化させ、それによって、（基本的にカウンタからなる）モジュール３６によって供給されるアドレスの増加（インクリメント）と、その増加されたアドレスによって指定されるグループ１９の新たなレジスタの内容の、シフトレジスタ20_{m+1}－20_{m+n}に対するパラレル転送とを生じさせなければならないという点を除いて、動作は上記の動作と同一である。

【００５０】パラメータｐ（直接読出しサイクル中に転送されるビット数）、パラメータａ（開始アドレス）、およびパラメータδ（可能なシフト）が、上述の例の場合と同様に固定されることができる。これらのパラメータは、マイクロプロセッサ１０によってプログラム可能なパラメータであってもよい。この場合には、パラメー

タｐ，ａ，δをそれぞれ使用するモジュール３５，３６，３８が、グループ１８の書込みレジスタの１つからこれらのパラメータを得る。これらのパラメータのいずれかを変更するために、マイクロプロセッサ１０は、そのマイクロプロセッサ１０がそのアドレスを知っている当のレジスタにおいて、単純に書込みサイクルを実行することが可能である。

【００５１】図７に示されている別の実施の形態では、アドレス指定を伴わない直接転送サイクルが、読出しサイクルだけに限定されない。直接書込み（ダイレクトライト）サイクルも可能である。これに加えて、この実施の形態では、モード選択ビットＲＷがマイクロプロセッサによって伝送されない。読出しサイクルと書込みサイクルとの区別は、ストローブパルス検出時に補助レジスタ22_1－22_m内に存在するアドレスをデコードすることに基づいて行われる。

【００５２】図７に示されている入力／出力モジュールは、図５の入力／出力モジュールと共通の要素を数多く有し、これらの共通要素は同一の参照番号で示されている。ＲＷビットがもはや考慮される必要がないので、バス１３のデータ線ＢＤＡにその入力が接続されている第１のシフトレジスタは、１つのフリップフロップを欠いている。フリップフロップ20_1－20_mはそのまま残っており、同じ形で補助レジスタのフリップフロップ22_1－22_mに接続されている。

【００５３】補助レジスタのパラレルｍビット出力が、ストローブ検出器２４によって出力されるＳＴＲＩ信号も受け取るサイクルタイプ検出ロジック回路５０に接続されている。ロジック回路５０は、この回路がＳＴＲＩ信号のパルスを受け取る時に、補助レジスタ22_1－22_m内に含まれるアドレスをデコードする。このデコードは、予め定義された規則にしたがっている。非限定的な例としては、こうした規則は、(i)形式「１ｘｘ．．．ｘ」（各々のｘが０または１である）を有するアドレスが、アドレス指定を伴う読出しサイクルにおいてマイクロプロセッサによって使用され、(ii)形式「０ｘｘ．．．ｘ」を有するアドレスが、アドレス指定を伴う書込みサイクルで使用され、(iii)アドレス「１１１．．．１」が、補助レジスタ22_1－22_m内でのその存在が直接読出しサイクルを特徴づけることになる除外読出しアドレスであり、(iv)アドレス「０１１．．．１」が、補助レジスタ22_1－22_m内でのその存在が直接書込みサイクルを特徴づけることになる除外書込みアドレスである、から構成することができる。この特定の場合には、書込みアドレス指定可能記憶場所(write-addressable location)と同じ数の読出しアドレス指定可能記憶場所(read-addressable location)が存在する。ロジック回路５０内のデコードテーブル（必要に応じてマイクロプロセッサ１０によってプログラム可能である）は、より一般的に、読出しおよび／または書込みサイクル中にアクセス可能な記憶領域のあらゆる組み合わせを可能にする。

【００５４】読出しサイクル（直接読出しサイクルまたはアドレス指定を伴う読出しサイクル）の検出時には、ロジック回路５０が、上述の実施の形態で説明されている役割と同じ役割を有するＲＲ信号中に論理レベル「１」のパルスを生じさせる（図９と図１０を参照）。書込みサイクル（直接書込みサイクルまたはアドレス指定を伴う書込みサイクル）の検出時には、ロジック回路５０が、同様に、図８と図１１に示されているように、ＷＷ信号中に論理レベル「１」のパルスを生じさせる。各直接転送サイクルにおいては、ロジック回路５０は、さらに信号ＦＭを活性化させる。この信号ＦＭの役割は、上述の実施の形態のＦＲＭ信号の役割と同様である（信号ＦＭは、特に、読出しまたは書込みアドレスＡを送出するアドレススイッチ３４と、場合に応じて、シフトモジュール３８とを制御する）。

【００５５】図７に示されているように、検出ロジック回路５０は、さらに、補助レジスタ22_1－22_m内の幾つかの特定のアドレスの検出に応答して、制御信号Ｃ１，Ｃ２，…を生じさせることも可能である。このタイプのデコードは、線ＢＤＡ上で明示的にデータを転送する必要なしに、周辺装置１２の特定の要素に対して制御信号を伝送することを可能にする。

【００５６】検出ロジック回路５０によって出力される信号ＦＭ，ＲＲ，ＷＷは、転送サイクル管理手段３０の一部を形成し、かつ、図５を参照して説明されているモジュール３５の役割と同様の役割を果たす、転送タイミングモジュール５２に供給される。このモジュール５２は、レジスタアレイ１９，１８に供給される読出し制御信号ＲＤと書込み制御信号ＷＲとを生成する。モジュール５２による信号ＲＤ，ＣＤ，ＥＯＲＣの生成は上述の信号生成と同じである（図９および図１０）。

【００５７】書込み制御信号ＷＲの生成は、ここで考察されている実施の形態においては、書き込まれたデータＤ７－Ｄ０またはｄ１－ｄ０が、ストローブパルスの後に、マイクロプロセッサ１０によってデータ線ＢＤＡ上を伝送される、ということを考慮に入れている。したがって、アドレス指定を伴う書込みサイクル（ＦＭ＝０）では、モジュール５２が、クロックＢＣＬのｎサイクル分だけＷＲ信号の活性化を遅延させる（図８）。直接書込みサイクルの場合には、この遅延は、クロックＢＣＬのｐサイクル分である（図１１）。

【００５８】第２のレジスタ20_{m+1}－20_{m+n}の中に書き込まれるべきデータビットをロードすることを可能にするために、フリップフロップ20_{m+1}のＤ入力からなるそのレジスタのシリアル入力が、図７に示されているように、データ線ＢＤＡに直接接続されている。さらに別の実施の形態では、フリップフロップ20_{m+1}のＤ入力が、スイッチの位置に応じて、フリップフロップ２０

$_{m}$のＱ出力またはデータ線ＢＤＡのどちらかに接続されることも可能である。このスイッチは、例えば、書込みサイクル中のストローブパルスの前または後にプロセッサ１０がデータを伝送するかどうかをプロセッサ１０が動的に決定することを可能にするように、マイクロプロセッサ１０からの符号化されたコマンドに応答して検出ロジック回路５０によって出力される制御ビットＣ１またはＣ２によって、制御されることが可能である。

【００５９】図１１に示されているように、アドレスの符号化に関して上記で検討されている特定の事例では、マイクロプロセッサ１０は、そのマイクロプロセッサが直接書込みサイクルにおいてストローブパルスの伝送の直前に線ＢＣＬ上にクロックサイクルを発生させるのと同時に、データ線ＢＤＡ上に「０」のビットを供給する。これは、直接読出しサイクルを特徴づけるデフォルトのアドレス「１１１．．．１」を、直接書込みサイクルを特徴づけるアドレス「０１１．．．１」に変化させるように、フリップフロップ20_1，22_1中へのビット０のロードを可能にし、それによって検出ロジック回路５０が適切なデコードを行うことが可能になる。

【００６０】直接転送（読出しまたは書込み）サイクルに関連したビットの個数ｐが、アレイ１８，１９のレジスタのサイズｎよりも多い場合には、上記の例の場合と同様に、制御信号ＲＤまたは制御信号ＷＤが周期的に再活性化され、アドレスカウンタ３６が、信号ＲＤおよび信号ＷＲを受け取るＯＲゲート５４の出力によって増加（インクリメント）される。したがって、マイクロプロセッサが、同じ直接転送サイクル中に複数のレジスタにアクセスすることが可能である。

【００６１】直接書込みサイクルに関連したビットの位置におけるシフトδが与えられることも可能である。このために、モジュール３８と同様にＦＭビットによって制御される循環シフトモジュール５６が、レジスタ20_{m+1}－20_{m+n}と書込みレジスタアレイ１８との間に備えられている。さらに、このモジュール５６は、アドレス指定されたレジスタの非該当記憶場所における書込み動作を禁止するように、直接書込みサイクルに関連したビットの個数ｐも受け取る。

【図面の簡単な説明】

【図１】本発明を実装した機器のブロック図である。

【図２】本発明による方法の一実施例において実行される書込みサイクルを示すタイミングチャートである。

【図３】本発明による方法の一実施例において実行されるアドレス指定を伴う読出しサイクルを示すタイミングチャートである。

【図４】本発明による方法の一実施例において実行される直接読出しサイクルを示すタイミングチャートである。

【図５】本発明を実装したインタフェースの入力／出力モジュールの一例の図である。

【図６】図５に示すモジュールのストローブ検出器の一実施形態の詳細を示す図である。

【図７】本発明によるインタフェースの入力／出力モジュールの別の例を示す図である。

【図８】本発明による方法の別の実施例において実行される書込みサイクルを示すタイミングチャートである。

【図９】本発明による方法の別の実施例において実行されるアドレス指定を伴う読出しサイクルを示すタイミングチャートである。

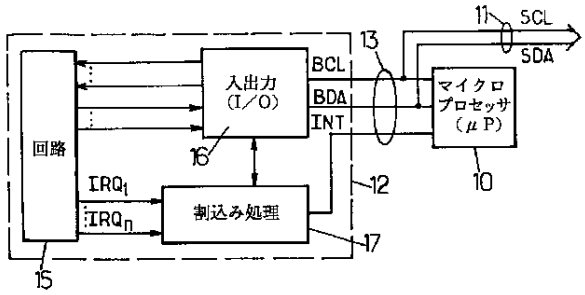
【図１０】本発明による方法の別の実施例において実行される直接読出しサイクルを示すタイミングチャートである。

【図１１】本発明による方法の別の実施例において実行される直接書込みサイクルを示すタイミングチャートである。

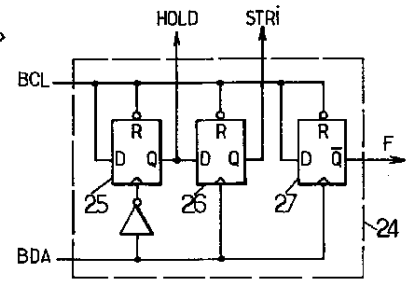
【符号の説明】

１０　マイクロプロセッサ
１１，１３　シリアルバス
１２　周辺装置
１５　動作回路
１６　入力／出力回路
１７　割込み処理モジュール
１８，１９　レジスタ群
２４　ストローブ検出器
３０　読出しサイクル管理手段
３３，５０　検出ロジック回路
３５　タイミングモジュール
３６　アドレス管理モジュール
３８　シフトモジュール
５２　転送タイミングモジュール
５６　循環シフトモジュール

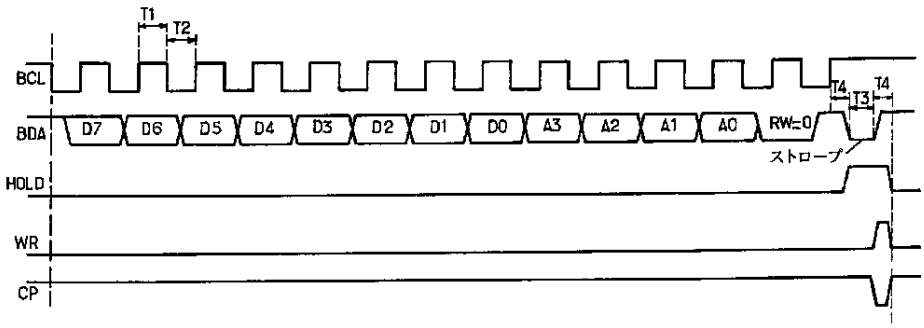
【図１】



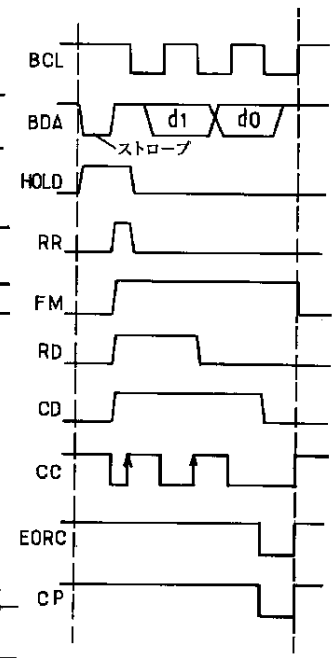
【図６】



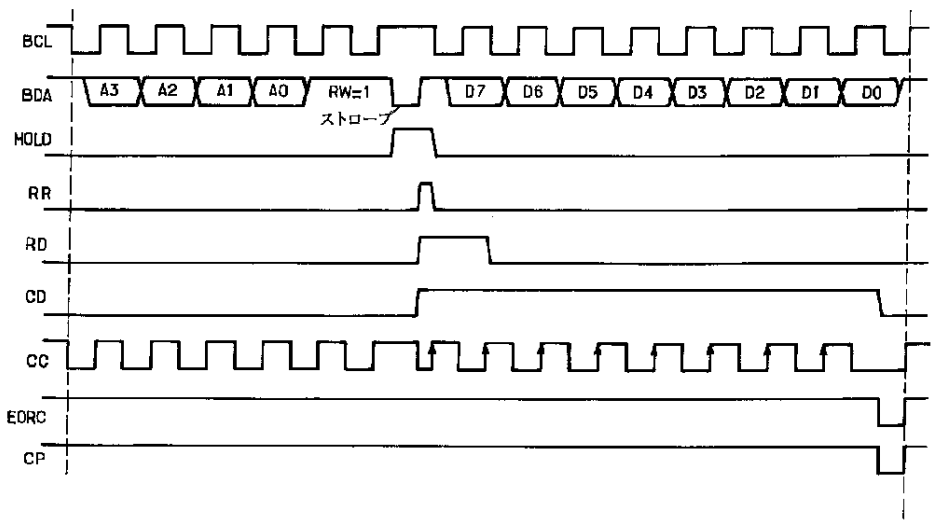
【図２】



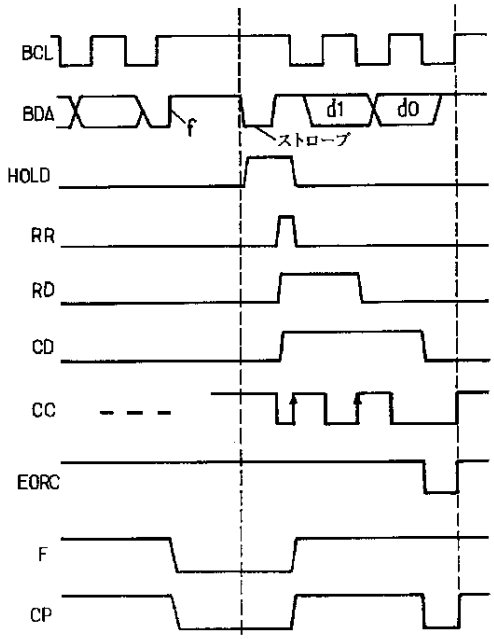
【図１０】



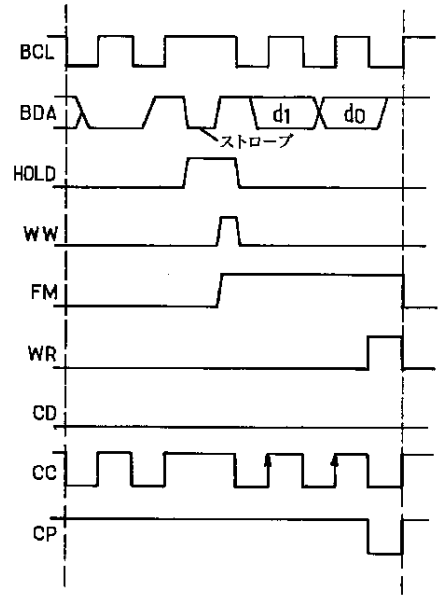
【図３】



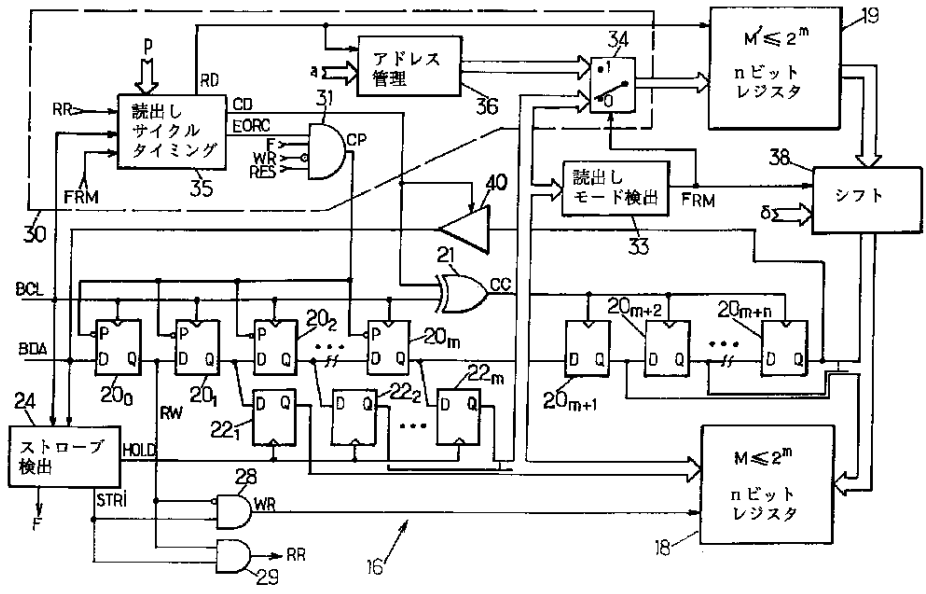
【図４】


BCL
BDA
f
d1
d0
ストローブ
HOLD
RR
RD
CD
CC
EORC
F
CP

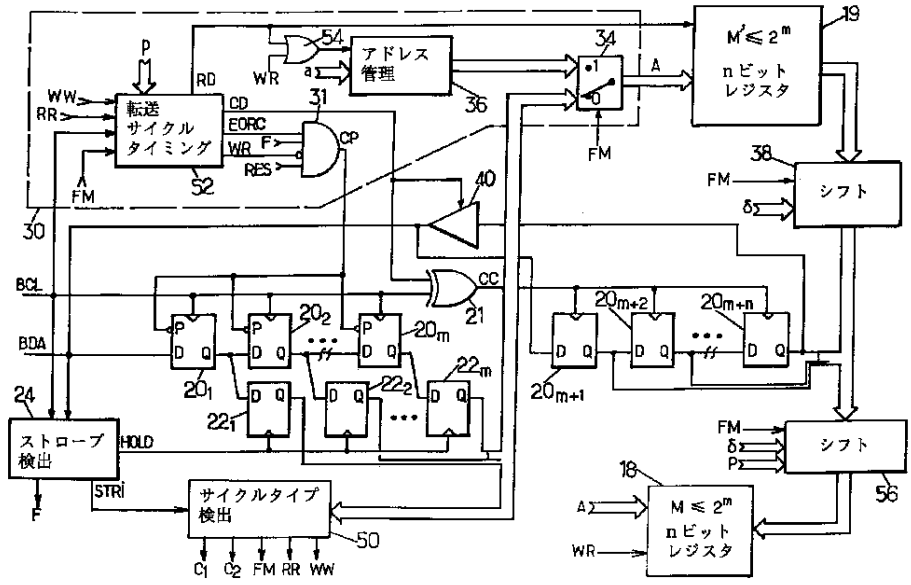
【図１１】


BCL
BDA
d1
d0
ストローブ
HOLD
WW
FM
WR
CD
CC
CP

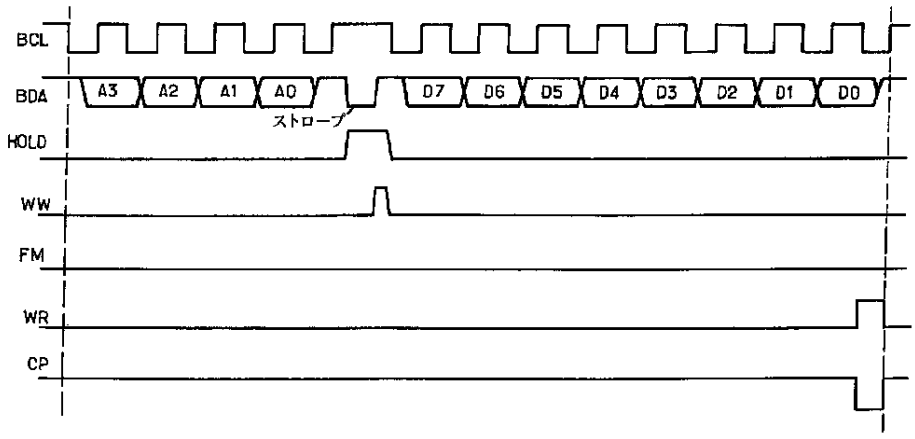
【図５】


P
RD
RR
読出し
サイクル
タイミング
35
CD
EORC
F
WR
RES
CP
31
FRM
30
a
アドレス
管理
36
34
1
0
M≦2^m
nビット
レジスタ
19
38
シフト
δΣ
読出し
モード検出
FRM
33
40
21
CC
BCL
BDA
20_0
20_1
20_2
20_m
20_m+1
20_m+2
20_m+n
22_1
22_2
22_m
RW
24
ストローブ
検出
HOLD
STRI
F
28
WR
29
RR
16
18

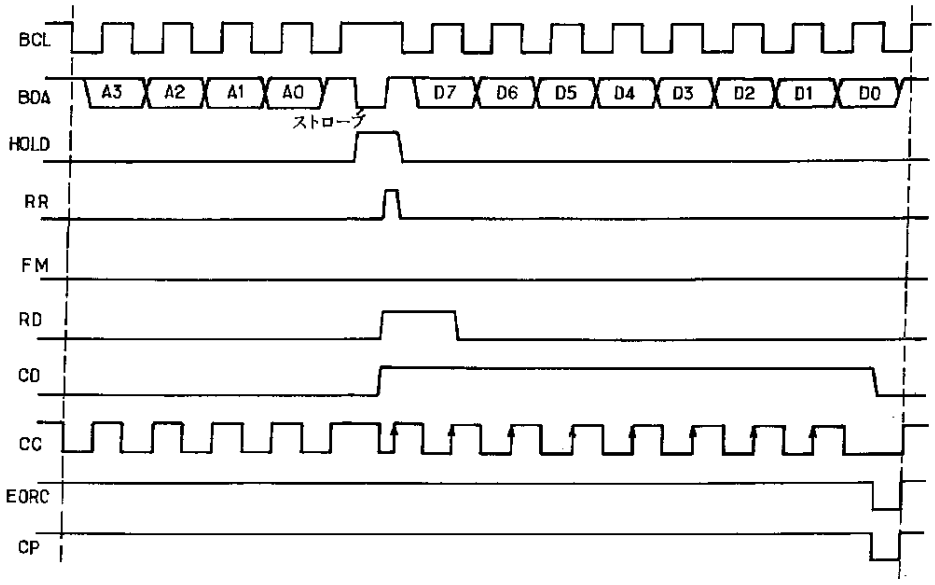
【図7】


P
WW
RR
転送
サイクル
タイミング
FM
52
RD
WR
CD
EORC
WR
RES
F
CP
54
a
アドレス
管理
31
36
34
1
0
A
FM
M'≦2^m
nビット
レジスタ
19
38
FM
δ2
シフト
40
30
BCL
BDA
CC
21
20m+2
20m+n
20m+1
20m
22m
22₂
20₂
20₁
22₁
D Q
24
ストローブ
検出
HOLD
STRI
F
サイクルタイプ
検出
50
C1 C2 FM RR WW
FM
δ2
P2
シフト
56
18
A2
WR
M≦2^m
nビット
レジスタ

【図8】


BCL
BDA
A3
A2
A1
A0
ストローブ
D7
D6
D5
D4
D3
D2
D1
D0
HOLD
WW
FM
WR
CP

【図９】



【手続補正書】
【提出日】平成１１年４月６日
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正内容】
【特許請求の範囲】
【請求項１】　データ線（ＢＤＡ）とクロック線（ＢＣＬ）を含むバス（１３）によって互いに接続されている主処理装置（１０）と周辺装置（１２）との間でのシリアルデータ転送のための方法であって、
前記主処理装置が、アドレス指定を伴う転送サイクルと直接転送サイクルを含む同期転送サイクルを、前記クロック線によって制御し、
各サイクル中において、前記主処理装置が、前記クロック線が第１のロジックレベルにある間に前記データ線上でストローブパルスを伝送し、
アドレス指定を伴う転送サイクルにおいて前記ストローブパルスを伝送する前に、前記主処理装置が、前記クロック線上の対応する同期パルスとともに、転送アドレスのビット（Ａ０－Ａ３）を前記データ線上で伝送し、
アドレス指定を伴う転送サイクルにおいて前記ストローブパルスを受け取った後で、前記周辺装置が、前記転送アドレスから決定される記憶場所にアクセスして、前記クロック線上の対応する同期パルスと同期した形で、前記データ線上に連続的に現れるデータビット（Ｄ７－Ｄ０）の書込みまたは読出しを行い、
直接転送サイクルにおいて前記ストローブパルスを受け取った後で、前記周辺装置が、前記直接転送サイクルに先行して決定された記憶場所にアクセスし、前記クロック線上の対応する同期パルスと同期した形で、前記データ線上に連続的に現れるデータビット（ｄ１－ｄ０）の書込みまたは読出しを行う方法。
【請求項２】　直接転送サイクルにおいて、前記主処理装置（１０）が、前記サイクルの開始点において前記ストローブパルスを伝送する請求項１に記載の方法。
【請求項３】　アドレス指定を伴う転送サイクルにおいて前記ストローブパルスを伝送する前に、前記主処理装置（１０）が、前記アドレス指定を伴う転送サイクルが書込みサイクルである場合には第１の値を有し、前記アドレス指定を伴う転送サイクルが読出しサイクルである場合には第２の値を有するモード選択ビット（ＲＷ）を、前記データ線上で伝送する請求項２に記載の方法。
【請求項４】　前記クロック線（ＢＣＬ）によってタイミングがとられ、かつ、アドレス指定を伴う転送サイクルにおいて伝送される前記アドレスビット（Ａ３－Ａ０）と前記モード選択ビット（ＲＷ）とを収容するのに十分なサイズである、前記周辺装置（１２）のシフトレジスタ（20_0－20_m）の入力に、前記データ線（ＢＤＡ）が接続され、
前記アドレス指定を伴う読出しサイクルにおいて前記主処理装置（１０）によって伝送される前記転送アドレスに関して、少なくとも１つのアドレス値が除外され、
前記周辺装置が、ストローブパルスを検出した時に、前

記シフトレジスタの内容を検査して、検出されたストローブパルスが、アドレス指定を伴う書込みサイクルの一部であるか、アドレス指定を伴う読出しサイクルの一部であるか、または、直接読出しサイクルの一部であるかを決定し、前記シフトレジスタが前記除外アドレス値と前記第２の値を有するモード選択ビットとを含む場合に、直接読出しサイクルが選択される請求項３に記載の方法。

【請求項５】　前記主処理装置（１０）が、転送サイクルを実行していない時には前記第１のロジックレベルに前記クロック線（ＢＣＬ)を保持し、

前記主処理装置と前記周辺装置（１２）が、前記第１のロジックレベルに対して補数である第２のロジックレベルに前記クロック線がある間に前記データビットと前記アドレスビットと前記モード選択ビットの間の遷移が生じるように、前記転送サイクルにおいて前記データビットと前記アドレスビットと前記モード選択ビットとを伝送する請求項４に記載の方法。

【請求項６】　ストローブパルスに起因するとみなされることが不可能であるロジックレベル変化を検出し、こうした検出に応答して前記シフトレジスタ（20_0－20_m）内に前記除外アドレス値と前記第２の値を有するモード選択ビットとを書き込むために、前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間に、前記周辺装置（１２）が前記データ線（ＢＤＡ）を検査する請求項５に記載の方法。

【請求項７】　前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間は前記データ線（ＢＤＡ）が２回以上はロジックレベルを変化させないプロトコルにしたがって、他の装置とデータ交換するために、前記クロック線（ＢＣＬ）と前記データ線（ＢＤＡ）とが前記主処理装置（１０）によって使用される請求項６に記載の方法。

【請求項８】　アドレス指定を伴う転送サイクルが書込みサイクルであるか読出しサイクルであるかを決定するために、前記アドレス指定を伴う転送サイクル内において前記周辺装置（１２）によって受け取られた前記転送アドレスのビット（Ａ３－Ａ０）をデコードする段階を含む請求項１または２に記載の方法。

【請求項９】　前記クロック線（ＢＣＬ）によってタイミングがとられ、かつ、アドレス指定を伴う転送サイクルにおいて伝送される前記アドレスビット（Ａ３－Ａ０）を格納するのに十分なサイズである、前記周辺装置（１２）のシフトレジスタ（20_1－20_m）の入力に、前記データ線（ＢＤＡ）が接続され、

前記アドレス指定を伴う転送サイクルにおいて前記主処理装置（１０）によって伝送される前記転送アドレスに関して、少なくとも１つのアドレス値が除外され、

前記周辺装置が、ストローブパルスを検出した時に、前記シフトレジスタの内容を検査して、検出されたストローブパルスが、アドレス指定を伴う転送サイクルの一部であるか、または、直接転送サイクルの一部であるかを決定し、前記シフトレジスタが除外アドレス値を含む場合に、直接転送サイクルが選択される請求項８に記載の方法。

【請求項１０】　前記シフトレジスタの入力場所（20_1）に位置しているビットだけが互いに異なっている第１の除外アドレス値と第２の除外アドレス値を前記シフトレジスタ（20_1－20_m）が含む時にそれぞれ選択される直接書込みサイクルと直接読出しサイクルとを、前記直接転送サイクルが含む請求項９に記載の方法。

【請求項１１】　前記主処理装置（１０）が、転送サイクルを実行していない時に前記クロック線（ＢＣＬ）を前記第１のロジックレベルに保持し、

前記主処理装置と前記周辺装置（１２）が、前記第１のロジックレベルに対して補数である第２のロジックレベルに前記クロック線がある時に前記データビットと前記転送アドレスビットの間の遷移が生じるように、前記データビットと前記転送アドレスビットとを前記転送サイクルにおいて伝送する請求項１０に記載の方法。

【請求項１２】　ストローブパルスに起因するとみなされることが不可能であるロジックレベル変化を検出し、こうした検出に応答して前記第１の除外アドレス値と前記第２の除外アドレス値のどちらか一方に対応するデフォルトアドレス値を前記シフトレジスタ（20_1－20_m）内に書き込むために、前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間に、前記周辺装置（１２）が前記データ線（ＢＤＡ）を検査する請求項１１に記載の方法。

【請求項１３】　前記シフトレジスタ（20_1－20_m）が前記デフォルトアドレス値を含む時に選択されるタイプの直接転送サイクルにおいて、前記主処理装置（１０）が前記サイクルの開始点において前記ストローブパルスを伝送し、

前記シフトレジスタが前記デフォルトアドレス値に一致しない第１の除外アドレス値と第２の除外アドレス値のどちらか一方を含む時に選択されるタイプの直接転送サイクルにおいて、前記主処理装置（１０）が、前記シフトレジスタの入力場所（20_1）内に位置しているビットを変更するビットを前記サイクルの開始点において伝送した直後に、前記ストローブパルスを伝送する請求項１２に記載の方法。

【請求項１４】　前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間は前記データ線（ＢＤＡ）が２回以上ロジックレベルを変化させないプロトコルにしたがって、他の装置とデータ交換するために、前記クロック線（ＢＣＬ）と前記データ線（ＢＤＡ）が前記主処理装置（１０）によって使用される請求項１２または１３に記載の方法。

【請求項１５】　直接転送サイクルにおいて前記データ

ビット（ｄ１－ｄ０）が読出されまたは書込まれる記憶場所が、固定した記憶場所である請求項１乃至１４のいずれか１項に記載の方法。

【請求項１６】　直接転送サイクルにおいて前記データビットが読出されまたは書込まれる記憶場所が、先行する書込みサイクル中に前記主処理装置（１０）によって伝送されるデータから決定される請求項１乃至１４のいずれか１項に記載の方法。

【請求項１７】　直接転送サイクル中に連続的に伝送されるデータビットの個数（ｐ）が、先行する書込みサイクル中に前記主処理装置（１０）によって伝送されるデータから決定される請求項１６に記載の方法。

【請求項１８】　前記バス（１３）が、特定されたイベントの群の中の１つのイベントを前記周辺装置（１２）が検出した時に前記周辺装置（１２）がそれを通して前記主処理装置（１０）に割込み要求を送る割込み線（ＩＮＴ）をさらに含み、前記周辺装置が、既に検出された前記群のイベントをそれぞれ示すビットを含むステータスレジスタを含み、

前記主処理装置が、前記割込み線上で割込み要求を受け取る時に、

前記ステータスレジスタの特定の部分を読み取るために直接読出しサイクルと、

前記ステータスレジスタの前記部分内に含まれるビットがイベント検出を示さない場合に、前記ステータスレジスタの残り部分を読出すために、少なくとも１つのアドレス指定を伴う読出しサイクルと、からなる転送サイクルを制御する請求項１乃至１７のいずれか１項に記載の方法。

【請求項１９】　前記直接転送サイクルが、前記主処理装置（１０）から前記周辺装置（１２）へのコマンドのための転送サイクルを有する、請求項１乃至１８のいずれか１項に記載の方法。

【請求項２０】　データ線（ＢＤＡ）とクロック線（ＢＣＬ）を含むバス（１３）により主処理装置（１０）によって制御される周辺装置（１２）のための同期シリアルバスインタフェースであって、

前記バスの前記クロック線が第１のロジックレベルにある間に前記バスの前記データ線上で生じるストローブパルスを検出するための、ストローブパルス検出手段（２４）と、

前記データ線に接続されたシリアルデータ入力を有し、前記バスの前記クロック線によってタイミングがとられる第１のシフトレジスタ（$２０_{０}$－$２０_{ｍ}$；$２０_{１}$－$２０_{ｍ}$）と、

前記第１のシフトレジスタの前記シリアルデータ出力または前記データ線に接続されているシリアルデータ入力を有し、かつ、前記バスの前記クロック線に接続されている入力とバイナリ選択信号（ＣＤ）を受ける別の入力とを有する排他的ＯＲゲートの出力によってタイミングがとられる、第２のシフトレジスタ（$２０_{ｍ+１}$－$２０_{ｍ+ｎ}$）と、

一方では前記第２のシフトレジスタの前記シリアルデータ出力に接続されており、他方では前記バスの前記データ線に接続されている、出力スイッチ（４０）と、

検出されたストローブパルスが属している各々の転送サイクルを識別するように、ストローブパルスが検出される時に前記第１のシフトレジスタの内容を分析するための転送サイクル識別手段（２８，２９，３３；５０）と、

書込みレジスタであって、前記バイナリ選択信号が「０」に保持され、前記出力スイッチが開位置に維持され、かつ、前記ストローブパルスの検出後に前記書込みアドレスによって示される前記書込みレジスタに前記第２のシフトレジスタの内容をパラレル転送する、アドレス指定を伴う書込みサイクルの識別が完了した時に、前記第１のシフトレジスタから得られる書込みアドレスからアドレス指定が可能な書込みレジスタ（１８）と、

読出しレジスタであって、前記ストローブパルスの検出後に、前記読出しアドレスによって示される前記読出しレジスタの内容の少なくとも一部分を前記第２のシフトレジスタにパラレル転送することと、前記出力スイッチに前記第２のシフトレジスタの内容をシリアル転送することとが続き、そのシリアル転送中は前記バイナリ選択信号が「１」に設定されかつ前記出力スイッチが閉じられている、読出しサイクルの識別が完了した時に、読出しアドレスからアドレス指定が可能な読出しレジスタ（１９）と、

アドレス指定を伴う読出しサイクルの識別が完了した時に前記第１のシフトレジスタから読出しアドレスを得るとともに、直接読出しサイクルの識別が完了した時に予め特定されている読出しアドレス（ａ）を供給するための転送サイクル管理手段（３０）と、を含む同期シリアルバスインタフェース。

【請求項２１】　直接読出しサイクル中に前記読出しサイクル管理手段（３０）によって供給される前記読出しアドレス（ａ）が、固定アドレスである、請求項２０に記載の同期シリアルバスインタフェース。

【請求項２２】　直接読出しサイクル中に前記読出しサイクル管理手段（３０）によって供給される前記読出しアドレス（ａ）が、前記書込みレジスタの１つの内容から得られる、請求項２０に記載の同期シリアルバスインタフェース。

【請求項２３】　直接読出しサイクル中に前記出力スイッチ（４０）に転送されるビットの個数（ｐ）が、前記書込みレジスタの１つの内容から得られる請求項２２に記載の同期シリアルバスインタフェース。

【請求項２４】　少なくとも１つのアドレス値が、前記アドレス指定を伴う読出しサイクルにおいて除外され、前記転送サイクル識別手段（２８，２９，３３）が、前

記第１のシフトレジスタが前記除外アドレスを含む場合に直接読出しサイクルを識別するように、ストローブパルスの検出が完了した時に前記第１のシフトレジスタ（２０_{0}－２０_{m}）の内容を検査する、請求項２０乃至２３のいずれか１項に記載の同期シリアルバスインタフェース。

【請求項２５】　前記主処理装置（１０）による転送の同期化が、前記第１のロジックレベルに対して補数である第２のロジックレベルに前記クロック線（ＢＣＬ）がある間に伝送ビットの相互間の遷移が生じ、かつ、転送サイクルが実行されない時に前記第１のロジックレベルに前記クロック線が維持されるような同期化であり、
前記クロック線（ＢＣＬ）が前記第１のロジックレベルにある間に前記データ線（ＢＤＡ）上で生じる、ストローブパルスに起因するとみなされることが不可能であるロジックレベルの変化に応答して、前記第１のシフトレジスタ（２０_{0}－２０_{m}）内に前記除外アドレス値を書き込むためのフィルタリング手段（２７，３０）が備えられている請求項２４に記載の同期シリアルバスインタフェース。

【請求項２６】　各書込みサイクルの終了点で前記第１のシフトレジスタ（２０_{0}－２０_{m}）内に前記除外アドレス値を書き込むために、前記フィルタリング手段（３１）がさらに配置されている請求項２５に記載の同期シリアルバスインタフェース。

【請求項２７】　前記バイナリ選択信号が「０」に保持され、前記出力スイッチが開状態に維持され、かつ、前記ストローブパルスの検出の後に前記書込みアドレスによって示される前記書込みレジスタの中に前記第２のシフトレジスタの内容がパラレル転送される直接書込みサイクルの識別が完了した時に、予め特定されている書込みアドレス（ａ）から前記書込みレジスタ（１８）がさらにアドレス指定可能である、請求項２０乃至２６のいずれか１項に記載の同期シリアルバスインタフェース。

【外国語明細書】

1. Title of the Invention :

Serial Data Transfer Process, and Synchronous Serial Bus Interface Implementing Such Process

2. Claims :

1. A process for serial data transfer between a main processing unit (10) and a peripheral unit (12) connected to each other by a bus (13) including a data line (BDA) and a clock line (BCL),

wherein the main processing unit controls synchronised transfer cycles by means of the clock line, including transfer cycles with addressing and direct transfer cycles,

wherein, during each cycle, the main processing unit transmits on the data line a strobe pulse while the clock line is at a first logic level,

wherein, before transmitting the strobe pulse in a transfer cycle with addressing, the main processing unit transmits on the data line bits (A3-A0) of a transfer address, with corresponding synchronisation pulses on the clock line,

wherein, after receiving the strobe pulse in a transfer cycle with addressing, the peripheral unit accesses to a memory location determined from the transfer address to write or read data bits (D7-D0) successively presented on the data line synchronously with corresponding synchronisation pulses on the clock line,

and wherein, after receiving the strobe pulse in a direct transfer cycle, the peripheral unit accesses to a memory location determined prior to said direct transfer cycle to write or read data bits (d1-d0) successively presented on the data line synchronously with corresponding synchronisation pulses on the clock line.

2. A process in accordance with claim 1, wherein, in a direct transfer cycle, the main processing unit (10) transmits the strobe pulse at the beginning of the cycle.

3. A process in accordance with claim 2, wherein, before transmitting the strobe pulse in a transfer cycle with addressing, the main processing unit (10) transmits on the data line a mode selection bit (RW) having a first value if said transfer cycle with addressing is a write cycle, and a second value, complementary to the first value, if said transfer cycle with addressing is a read cycle.

4. A process in accordance with claim 3, wherein the data line (BDA) is connected to the input of a shift register (20_0-20_m) of the peripheral unit (12) timed by the clock line (BCL) and of sufficient size to contain the address bits (A3-A0) and the mode selection bit (RW) transmitted in a transfer cycle with addressing, wherein at least one address value is excluded for the transfer addresses transmitted by the main processing unit (10) in the read cycles with addressing, and wherein, when detecting a strobe pulse, the peripheral unit examines the content of said shift register to determine whether the detected strobe pulse is part of a write cycle with addressing, of a read cycle with addressing or of a direct read cycle, a direct read cycle being selected if the shift register contains the excluded address value and a mode selection bit having said second value.

5. A process in accordance with claim 4, wherein the main processing unit (10) holds the clock line (BCL) at the first logic level when not running a transfer cycle, and wherein the main processing unit and the peripheral unit (12) transmit the data, address and mode selection bits in said transfer cycles in such a way that transitions between said bits occur while the clock line is at a second logic level complementary to the first logic level.

6. A process in accordance with claim 5, wherein while the clock line (BCL) is at the first logic level, the peripheral unit (12) examines the data line (BDA) to detect logic level changes which cannot be attributed to a strobe pulse, and to write the excluded address value and a mode selection bit having said second value in the shift register (20_0-20_m) in response to such detection.

7. A process in accordance with claim 6, wherein the clock line (BCL) and the data line (BDA) are used by the main processing unit (10) to exchange data with other units in accordance with a protocol wherein the data line does not change logic level more than once while the clock line is at the first logic level.

8. A process in accordance with claim 1 or 2, comprising the step of decoding the bits (A3-A0) of the transfer address received by the peripheral unit (12) in a transfer cycle with addressing, in order to determine whether said transfer cycle with addressing is a write cycle or a read cycle.

9. A process in accordance with claim 8 wherein the data line (BDA) is connected to the input of a shift register (20_1-20_m) of the peripheral unit (12) timed by the clock line (BCL) and of sufficient size to contain the address bits (A3-A0) transmitted in a transfer cycle with addressing, wherein at least one address value is excluded for the transfer addresses transmitted by the main processing unit (10) in the transfer cycles with addressing, and wherein, when detecting a strobe pulse, the peripheral unit examines the content of said shift register to determine whether the detected strobe pulse is part of a transfer cycle with addressing or of a direct transfer cycle, a direct transfer cycle being selected if the shift register contains an excluded address value.

10. A process in accordance with claim 9, wherein the direct transfer cycles comprise direct write cycles and direct read cycles, respectively selected when the shift register (20_1-20_m) contains first and second excluded address values, which differ from each other only by a bit located in an input location (20_1) of the shift register.

11. A process in accordance with claim 10, wherein the main processing unit (10) holds the clock line (BCL) at the first logic level when not running a transfer cycle, and wherein the main processing unit and the peripheral unit (12) transmit the data and transfer address bits in said transfer cycles in such a way that transitions between said bits occur while the clock line is at a second logic level complementary to the first logic level.

12. A process in accordance with claim 11, wherein while the clock line (BCL) is at the first logic level, the peripheral unit (12) examines the data line (BDA) to detect logic level changes which cannot be attributed to a strobe pulse, and to write, in the shift register (20_1-20_m), in response to such detection, a default address value corresponding to one of the first and second excluded address values.

13. A process in accordance with claim 12, wherein, in a direct transfer cycle of the type selected when the shift register (20_1-20_m) contains the default address value, the main processing unit (10) transmits the strobe pulse at the beginning of the cycle, and wherein, in a direct transfer cycle of the type

selected when the shift register contains the one of the first and second excluded address values which does not correspond to the default address value, the main processing unit (10) transmits the strobe pulse immediately after the transmission, at the beginning of the cycle, of a bit modifying the one located in the input location (20_1) of the shift register.

14. A process in accordance with claim 12 or 13, wherein the clock line (BCL) and the data line (BDA) are used by the main processing unit (10) to exchange data with other units in accordance with a protocol wherein the data line does not change logic level more than once while the clock line is at the first logic level.

15. A process in accordance with any one of the preceding claims, wherein the location where the data bits (d1-d0) are read or written in a direct transfer cycle is a fixed location.

16. A process in accordance with any one of claims 1 to 14, wherein the location where the data bits are read or written in a direct transfer cycle is determined from data transmitted by the main processing unit (10) during a previous write cycle

17. A process in accordance with claim 16, wherein the number (p) of data bits transmitted successively in a direct transfer cycle is determined from data transmitted by the main processing unit (10) during a previous write cycle.

18. A process in accordance with any one of the preceding claims, wherein the bus (13) further includes an interrupt line (INT) on which the peripheral unit (12) sends an interrupt request to the main processing unit (10) when it detects an event among a group of specified events, the peripheral unit comprising a status register to contain bits indicating respectively the events of said group which have been detected, and wherein, when it receives a request on the interrupt line, the main processing unit controls the following transfer cycles:

- a direct read cycle to read a specified portion of the status register; and